

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2002年12月12日 (12.12.2002)

PCT

(10) 国際公開番号
WO 02/099868 A1

- (51) 国際特許分類: H01L 21/318, C23C 16/30
(21) 国際出願番号: PCT/JP02/05386
(22) 国際出願日: 2002年5月31日 (31.05.2002)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願2001-168789 2001年6月4日 (04.06.2001) JP
(71) 出願人 (米国を除く全ての指定国について): 東京エレクトロン株式会社 (TOKYO ELECTRON LIMITED)
[JP/JP]; 〒107-8481 東京都港区赤坂五丁目3番6号 Tokyo (JP).

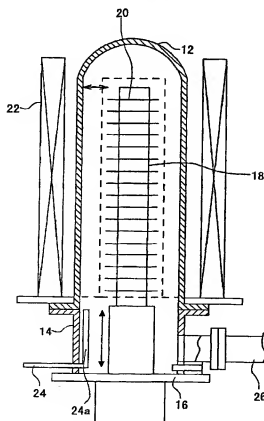
- (72) 発明者: および
(75) 発明者/出願人 (米国についてのみ): 横山 新 (YOKOYAMA, Shin) [JP/JP]; 〒739-0046 広島県 東広島市 鏡山 1丁目4番2号 Hiroshima (JP). 中島 安理 (NAKAJIMA, Anri) [JP/JP]; 〒739-0046 広島県 東広島市 鏡山 1丁目4番2号 Hiroshima (JP). 多田 吉秀 (TADA, Yoshitake) [JP/JP]; 〒407-0192 山梨県 韮崎市 穂坂町三ツ沢 650 東京エレクトロン株式会社内 Yamanashi (JP). 中村 源志 (NAKAMURA, Genji) [JP/JP]; 〒407-0192 山梨県 韮崎市 穂坂町三ツ沢 650 東京エレクトロン株式会社内 Yamanashi (JP). 今井 正幸 (IMAI, Masayuki) [JP/JP]; 〒379-0134 群馬県 安中市 築瀬 791-4 高風アパート A206号 Gunma (JP). 米川 司 (YONEKAWA, Tsukasa) [JP/JP]; 〒407-0192 山梨県 韮崎市 穂坂町三ツ沢 650 東京エレクトロン株式会社内 Yamanashi (JP).

[続葉有]

(54) Title: METHOD OF FABRICATING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法

10



(57) Abstract: A method of fabricating a semiconductor device, capable of improving the in-plane uniformity of a silicon nitride film or a silicon oxynitride film to be formed, and increasing a production efficiency at the film forming. The method comprises the steps of forming on a silicon substrate a first film consisting of a silicon oxide film or a silicon oxynitride film, forming a second film consisting of one tetrachlorosilane monomolecular layer, and nitriding the second film to form a third film consisting of one silicon nitride monomolecular layer. The second film forming step and the third film forming steps are repeated specified number of times to form a silicon nitride film of a specified film thickness. A fabrication device comprises a plurality of silicon substrates disposed on shelf-shaped wafer ports, a process gas being supplied toward above a reaction pipe from a process gas supply pipe.

[続葉有]

WO 02/099868 A1



(74) 代理人: 伊東 忠彦 (ITO H, Tadahiko): 〒150-6032 東京都渋谷区恵比寿4丁目20番3号恵比寿ガーデンプレイスタワー32階 Tokyo (JP).

(81) 指定国/国内: AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZM, ZW.

(84) 指定国(広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

形成するシリコンの窒化膜あるいは酸窒化膜の膜の面内の均一性を向上させるとともに、そのときの生産能率を向上させることができる半導体装置の製造方法を提供する。シリコン基板上にシリコン酸化膜またはシリコン酸窒化膜からなる第1の膜を形成する工程と、テトラクロロシラン単分子層1層からなる第2の膜を形成する工程と、第2の膜を窒化処理して窒化ケイ素単分子層1層からなる第3の膜を形成する工程とを有する。第2の膜を形成する工程および第3の膜を形成する工程を所定回数繰り返して所定の膜厚の窒化ケイ素膜を形成する。製造装置は、棚段状のウェハポートに複数のシリコン基板が配置され、プロセスガス供給管から反応管の上方に向けてプロセスガスが供給される。

明細書

半導体装置の製造方法

5 技術分野

本発明は、半導体装置の製造方法に関し、一層詳細には、シリコン窒化膜またはシリコン酸窒化膜の形成方法およびそのアニーリング方法に関する。

背景技術

- 10 シリコンの熱酸化膜は、メモリ用のMOSFETのゲート絶縁膜やDRAMのキャパシタ絶縁膜等に用いられる。近年の半導体デバイスの集積度の高度化に伴い、MOSFET等の占有面積を小さくする必要があるが、そのためには一定の静電容量を保つためにシリコンの熱酸化膜の膜厚を薄くすることが求められ、また、素子の微細化に伴うスケーリングの要請から、昨今では、数十Å程度までの
- 15 熱酸化膜の薄膜化が要求される。なお、熱酸化膜に代えて熱酸窒化膜を形成するときも同様である。

- このようなシリコンの熱酸化膜あるいは熱酸窒化膜の薄膜化は、直接トンネル電流の増加を招き、これにより、ゲートオフ時においてリーク電流を生じ、半導体装置の回路が正常に動作せず、あるいは消費電力が増加する等の問題を生じて
- 20 いた。

このため、シリコンの熱酸化膜あるいは熱酸窒化膜に代わる良好な絶縁膜として、例えば、構造が緻密なシリコンの窒化膜あるいは酸窒化膜が検討されている。

- このシリコンの窒化膜あるいは酸窒化膜は、シリコンの熱酸化膜あるいは熱酸
- 25 窒化膜を窒化あるいは酸窒化することにより形成される。そして、窒化膜あるいは酸窒化膜の相対的に大きな誘電率で静電容量をかせぐことにより、一定の静電容量を保つシリコンの熱酸化膜と同じ静電容量を有する窒化膜あるいは酸窒化膜の膜厚（物理的膜厚）を大きくすることができ、これにより、リーク電流の低減を図るものである。以下、本明細書において、シリコンの窒化膜あるいは酸窒化

膜の厚みを等価の静電容量を与えるシリコンの熱酸化膜の厚みに換算したものを電気的膜厚と呼ぶ。

ところで、上記のようにして形成されたシリコンの窒化膜あるいは酸窒化膜は、膜厚や膜の面内の均一性を精密に制御することは必ずしも容易ではない。

- 5 このため、ALD (Atomic Layer Deposit) - CVD法を用いて、シリコンの窒化物や酸窒化物の単原子層あるいは単分子層を1層ずつ形成する操作を繰り返し、複数の単原子層あるいは単分子層を堆積して所定の厚みの膜を形成する方法が検討されている。

- 10 しかしながら、現在検討されているALD-CVD法を用いた方法は、一般的に、単原子層あるいは単分子層を1層形成するのに例えば数十分程度の時間を要し、さらに、所定の膜厚に形成するためには、この単原子層あるいは単分子層を形成する操作を数十回繰り返す必要がある。このため、生産能率が著しく低いという問題がある。

ALD-CVD法の具体例を説明する。

- 15 まず、シリコン基板を一酸化二窒素ガスの雰囲気下で熱処理することにより、シリコン基板上に12 Å (オングストローム) の膜厚のシリコン酸化膜を形成する。ついで、プロセスガスとしてTCS (テトラクロロシラン) を用いて400℃程度の温度で処理してテトラクロロシランの単分子層を1層、吸着形成し、ついで、プロセスガスとしてアンモニアガスを用いて550℃程度の温度でテトラ
- 20 クロロシランの単分子層を処理して窒化ケイ素 (シリコン窒化物) の単分子層を1層形成する。そして、窒化ケイ素層の所定の膜厚、例えば、15~20 Åの膜厚を得るために、窒化ケイ素の単分子層の形成操作を例えば20回繰り返す。

上記のALD-CVD法によれば、膜の面内の均一性が大幅に改善されることが報告されている。

25

発明の開示

本発明は、上記の点に鑑みてなされたものであり、形成するシリコンの窒化膜あるいは酸窒化膜の膜の面内の均一性を向上させるとともに、そのときの生産能率を向上させることができる半導体装置の製造方法を提供することを第1の目的

とする。

また、本発明は、形成するシリコンの窒化膜あるいは酸窒化膜を絶縁膜とする MOS キャパシタ等として用いた場合に、リーク電流をより低減することができるとともに、フラットバンド電圧のシフトを緩和することができるアニーリング

- 5 方法を含む半導体装置の製造方法を提供することを第2の目的とする。

- この目的を達成するため、本発明に係る半導体装置の製造方法は、シリコン基板上に熱酸化法または熱酸窒化法によりシリコン酸化膜またはシリコン酸窒化膜からなる第1の膜を形成する工程と、テトラクロロシランガスをを用いて所定の温度で処理して該第1の膜上にテトラクロロシラン単分子層1層からなる第2の膜
- 10 を形成する工程と、該第2の膜を形成する工程と実質的に同一の所定の温度でアンモニアガスをを用いて該第2の膜を窒化処理して窒化ケイ素単分子層1層からなる第3の膜を形成する工程とを有し、該第2の膜を形成する工程および該第3の膜を形成する工程を所定回数繰り返して所定の膜厚の窒化ケイ素膜を形成することを特徴とする。

- 15 ここで、実質的に同一の温度とは、 $\pm 25^{\circ}\text{C}$ の範囲内の温度をいう。

- この場合、前記第2の膜を形成する工程および前記第3の膜を形成する工程において、所定の温度は $375\sim 650^{\circ}\text{C}$ の範囲内であり、処理圧力は $10\sim 100\text{ kPa}$ であると、好適である。また、前記第2の膜を形成する工程において、流量 $100\sim 300\text{ sccm}$ のテトラクロロシランガスをを用いて $1\sim 20\text{ min}$
- 20 の時間処理すると、好適である。また、前記第3の膜を形成する工程において、流量 $1000\sim 3000\text{ sccm}$ のアンモニアガスをを用いて $1\sim 10\text{ min}$ の時間処理すると、好適である。また、前記第2の膜を形成する工程および前記第3の膜を形成する工程を $3\sim 20$ 回繰り返すと、好適である。

- 本発明の上記の構成により、従来のCVD法によって形成された膜に比べて、
- 25 膜の面内の均一性を大幅に向上させることができ、また、従来のALD-CVD法に比べてもさらに向上させることができる。また、実質的に同一の温度で第2の膜を形成する工程および第3の膜を形成する工程の処理を行うため、従来のALD-CVD法において必要であった温度条件変更を行う時間が不要となり、生産能率を大幅に向上させることができる。

また、この場合、前記所定の膜厚の窒化ケイ素膜を形成した後に、さらに、オゾンガス雰囲気下でアニーリングする工程を有すると、オゾンのラジカル酸素により、シリコン酸化膜またはシリコン酸窒化膜の正の固定電荷が減少してフラットバンド電圧のシフトが緩和される。また、ラジカル酸素による窒化ケイ素膜の

5 改質効果によりリーク電流が減少する。

また、本発明に係る半導体装置の製造方法は、シリコン基板上に熱酸化法または熱酸窒化法によりシリコン酸化膜またはシリコン酸窒化膜からなる第1の膜を形成する工程と、テトラクロロシランガスを用いて所定の温度で処理して該第1の膜上にテトラクロロシラン単分子層1層からなる第2の膜を形成する工程と、
10 該第2の膜を形成する工程と実質的に同一の所定の温度でアンモニアガスを用いて該第2の膜を窒化処理して窒化ケイ素単分子層1層からなる第3の膜を形成する工程と、CVD法により該第3の膜上にシリコン窒化膜からなる第4の膜を形成する工程とを有することを特徴とする。

これにより、第2の膜を形成する工程と第3の膜を形成する工程とを所定回数
15 繰り返すことなく、第3の膜を1層形成した後CVD法を用いて第4の膜を形成するため、形成される膜の面内の均一性を維持しつつ、生産能率の大幅な改善を図ることができる。

また、本発明に係る半導体装置の製造方法は、シリコン基板上に熱酸化法または熱酸窒化法によりシリコン酸化膜またはシリコン酸窒化膜からなる第1の膜を
20 形成する工程と、テトラクロロシランガスを用いて所定の温度で処理して該第1の膜上にテトラクロロシラン単分子層1層からなる第2の膜を形成する工程と、該第2の膜を形成する工程と実質的に同一の所定の温度でアンモニアガスを用いて該第2の膜を窒化処理して窒化ケイ素単分子層1層からなる第3の膜を形成する工程と、オゾンガス雰囲気下でアニーリングする工程とを有し、該第2の膜を
25 形成する工程、該第3の膜を形成する工程および該アニーリングする工程を所定回数繰り返して所定の膜厚の窒化ケイ素膜を形成することを特徴とする。

これにより、上記と同様のアニーリング効果を得ることができる。

図面の簡単な説明

図 1 は、本実施の形態例に係る半導体装置の製造装置の模式図である。

図 2 は、本実施の形態例に係る半導体装置の製造装置および製造法により形成したシリコン窒化膜を nMOS キャパシタの絶縁膜として用いたときの特性評価結果を説明するためのグラフ図であり、リーク電流の評価結果を示す。

- 5 図 3 は、本実施の形態例に係る半導体装置の製造装置および製造法により形成したシリコン窒化膜を nMOS キャパシタの絶縁膜として用いたときの特性評価結果を説明するためのグラフ図であり、フラットバンド電圧の評価結果を示す。

発明を実施するための最良の形態

- 10 本発明に係る半導体装置の製造方法の好適な実施の形態（以下、本実施の形態例という。）について、図を参照して、以下に説明する。

まず、本実施の形態例に係る半導体装置の製造装置について、図 1 を参照して説明する。

- 図 1 に示す製造装置 10 は、急速熱処理装置（FTPS：Fast Thermal Processing System）の一種である。

- 製造装置 10 は、長手方向が垂直方向に向けられた有天井の円筒状に形成された、例えば石英からなる反応管 12 を備える。反応管 12 の下方には、筒状に形成されたステンレス管からなるマニホールド 14 が、反応管 12 の下端と気密になるように配置される。マニホールド 14 の下方には蓋体 16 が上下動可能に配置され、蓋体 16 が上昇することによりマニホールド 14 の下方が閉塞されるように構成されている。

上記反応管 12、マニホールド 14 および蓋体 16 によって処理室が構成される。

- 蓋体 16 には石英からなる棚段状のウエハポート 18 が配置される。ウエハポート 18 には垂直方向に所定の間隔をおいてシリコン基板 20 が複数枚収容される。

反応管 12 を取り囲んで例えば抵抗発熱体からなる昇温用ヒータ 22 が設けられる。

マニホールド 14 の側面にプロセスガス供給管 24 が挿通される。プロセスガ

ス供給管 24 は、その先端部分 24 a が上方を向くように屈曲されている。このため、プロセスガス供給管 24 から供給されたプロセスガスは、反応管 12 の上方に噴出する。なお、参照符号 26 は排気管を示す。

- 5 以上説明した製造装置 10 は、プロセスガスが反応管の上方に到達するように構成されているため、高速かつ大流量で供給される。また、プロセスガスが反応管の天井に到達するように構成され、また、反応管に所定の空隙箇所を設ける等しているため、処理領域に均一にプロセスガスが供給され、シリコン基板が均一に処理される。

- 10 上記の製造装置 10 を用いた本実施の形態の第 1 の例に係る半導体装置の製造方法について、以下説明する。

- 本実施の形態の第 1 の例に係る半導体装置の製造方法は、シリコン基板上に熱酸化法または熱酸窒化法によりシリコン酸化膜またはシリコン酸窒化膜からなる第 1 の膜を形成する工程と、テトラクロロシランガスを用いて所定の温度で処理して第 1 の膜上にテトラクロロシラン単分子層 1 層からなる第 2 の膜を形成する
15 工程と、第 2 の膜を形成する工程と実質的に同一の所定の温度でアンモニアガスを用いて第 2 の膜を窒化処理して窒化ケイ素単分子層 1 層からなる第 3 の膜を形成する工程とを有し、第 2 の膜を形成する工程および第 3 の膜を形成する工程を所定回数繰り返して所定の膜厚の窒化ケイ素膜を形成する。

- 20 本実施の形態の第 1 の例に係る半導体装置の製造方法についてさらに詳細に説明する。

まず、熱処理法により、例えば、一酸化二窒素ガス雰囲気下、700℃の温度で 15 min 処理することにより、シリコン基板上に 12 Å の膜厚の熱酸窒化膜（第 1 の膜）が形成される。

- つぎに、第 2 の膜を形成する工程において、所定の温度として例えば 550℃
25 とし、例えば 21 kPa の処理圧力下、テトラクロロシランガスを流量 200 sccm 程度供給し、15 min 程度の時間処理する。これにより、熱酸窒化膜上にテトラクロロシラン単分子層 1 層（第 2 の膜）が形成される。

つぎに、処理室内を真空引きし、あるいは窒素ガスを用いて処理室に残存するテトラクロロシランガスをパージする。このパージに要する時間およびパージの

際の温度変化微調整等に要する時間は、例えば、4 min 程度である。

- つぎに、第3の膜を形成する工程において、所定の温度として第2の膜を形成する工程のときと同じ例えば550℃とし、例えば21 kPaの処理圧力下、アンモニアガスを流量2000 sccm程度供給し、5 min 程度の時間テトラクロシラン単分子層を処理する。これにより、窒化ケイ素単分子層1層（第3の膜）が形成される。

上記の第2の膜を形成する工程および第3の膜を形成する工程を例えば10回繰り返すことにより、各単分子層が堆積され、10 Åの膜厚の窒化ケイ素膜（シリコン窒化膜）が形成される。

- 10 上記本実施の形態の第1の例に係る製造方法による、窒化ケイ素膜形成作業に要する時間は240 min {=(15+4+5)×10}である。

- 製造装置10の上部に配置したシリコン基板において、形成される熱酸窒化膜および窒化ケイ素膜の総膜厚は最大2.11 nm、最小2.05 nm、平均2.08 nmである。一方、これに対して製造装置10の下部に配置したシリコン基板において、形成される熱酸窒化膜および窒化ケイ素膜の総膜厚は最大2.30 nm、最小2.21 nm、平均2.26 nmである。したがって、製造装置の上
15 下いずれの場所に配置されたシリコン基板についても、熱酸窒化膜および窒化ケイ素膜からなる膜の面内の均一性が非常に高い。

- つぎに、本実施の形態の第2の例に係る半導体装置の製造方法について、以下
20 説明する。

本実施の形態の第2の例に係る半導体装置の製造方法は、上記本実施の形態の第1の例に係る半導体装置の製造方法によって得られた窒化ケイ素膜をさらにアニーリングするものである。

- すなわち、第2の膜を形成する工程と、第2の膜を処理して第3の膜を形成する工程とを所定回数繰り返すことにより所定の膜厚に形成された窒化ケイ素膜を、
25 さらに、オゾンガス雰囲気下でアニーリングする工程を有する。

オゾンガスは、 $O_3/O_2=10/90$ （容積%比）程度の容積比のガスを用い、18 Pa程度の圧力下、850℃程度の温度で、60 s程度の時間処理する。

上記の方法により形成されたシリコン窒化膜をnMOSキャパシタの絶縁膜として用いたときの特性評価結果を図2および図3に示す。

- 図2は、ゲートのリーク電流評価結果を示す。ここで、縦軸（ I_g ）はフラットバンド電圧から0.6Vアキュムレーションさせたときのリーク電流を示し、横軸（ T_{eq} ）は電気的膜厚を示す。

- 図中POA-Cは、上記シリコン窒化膜形成処理を行った後、さらに上記のアニーリング処理を行った場合を示す。なお、図中、Ref. Pure SiO_2 はシリコン酸化膜の場合を示し、None-POAは上記シリコン窒化膜形成処理のみ行い、いずれのアニーリング処理も行わなかった場合を示し、POA-Aは上記シリコン窒化膜形成処理を行った後、酸素ガス雰囲気下1000℃の温度でアニーリング処理した場合を示し、POA-Bは上記シリコン窒化膜形成処理を行った後、一酸化二窒素ガス雰囲気下850℃の温度でアニーリングした場合を示す。

- 図2から明らかなように、本実施の形態の第1例のシリコン窒化膜に酸素ガスや一酸化二窒素ガスをを用いた従来のアニーリング処理を行ったものは、従来の対シリコン酸化膜に比べ、シリコン窒化膜形成処理によるリーク電流低減効果が見られる。但し、本実施の形態の第1例のシリコン窒化膜にアニーリング処理を行わなかった場合に比べると、顕著なリーク電流低減効果は見られない。これに対し、シリコン窒化膜にアニーリング処理を行った本実施の形態の第2の例のものは、シリコン窒化膜形成処理によるリーク電流低減効果に加えて、さらにアニーリング処理による一層のリーク電流低減効果が得られる。

図3は、フラットバンド電圧の評価結果を示す。ここで、縦軸（ V_{fb} ）はフラットバンド電圧を示し、横軸（ T_{eq} ）は電気的膜厚を示す。図中POA-A等の各符号は、上記図2と同じものを示す。

- 図3から明らかなように、シリコン窒化膜形成処理のみを行いアニーリング処理を行わなかった場合、シリコン酸化膜の場合に比べてフラットバンド電圧の絶対値が大きく増加する現象を示すが、これに対して酸素ガスや一酸化二窒素ガスをを用いた従来のアニーリング処理や本実施の形態の第2の例のアニーリング処理を行った場合、フラットバンド電圧の絶対値の増加が大きく抑制されている。

以上説明したように、本実施の形態の第2の例に係る半導体装置の製造方法およびその装置によれば、リーク電流をより低減することができるとともに、フラットバンド電圧のシフトが緩和される。

- なお、本実施の形態の第1の例に係る半導体装置の製造方法は、上記のとおり
- 5、テトラクロロシランガスを用いて所定の温度で処理して第1の膜上にテトラクロロシラン単分子層1層からなる第2の膜を形成する工程と、第2の膜を形成する工程と実質的に同一の所定の温度でアンモニアガスを用いて第2の膜を窒化処理して窒化ケイ素単分子層1層からなる第3の膜を形成する工程とを有し、第2の膜を形成する工程および第3の膜を形成する工程を所定回数繰り返して所定の
- 10膜厚の窒化ケイ素膜を形成するものであり、さらにより好ましくは形成された窒化ケイ素膜をアニーリングするものであるが、本発明の製造方法は、これに代えて以下の方法を用いてもよい。

- すなわち、テトラクロロシランガスを用いて所定の温度で処理して第1の膜上にテトラクロロシラン単分子層1層からなる第2の膜を形成した後、第2の膜を
- 15形成する工程と実質的に同一の所定の温度でアンモニアガスを用いて第2の膜を窒化処理して窒化ケイ素単分子層1層からなる第3の膜を形成し、さらに、CVD法により第3の膜上にシリコン窒化膜からなる第4の膜を形成する。

- また、アニーリングする場合は、テトラクロロシランガスを用いて所定の温度で処理して第1の膜上にテトラクロロシラン単分子層1層からなる第2の膜を形成した後、第2の膜を形成する工程と実質的に同一の所定の温度でアンモニアガスを用いて第2の膜を窒化処理して窒化ケイ素単分子層1層からなる第3の膜を形成し、さらに、オゾンガス雰囲気下でアニーリングする。そして、第2の膜を形成する工程、第3の膜を形成する工程およびアニーリングする工程を所定回数繰り返して所定の膜厚の窒化ケイ膜を形成する。

- 25 また、本実施の形態例に係る半導体装置の製造方法において使用する製造装置としては、上記のようにシリコン基板を多数枚処理可能な縦型の急速熱処理装置を用いたが、これに限らず枚葉形の装置を用いてもよい。

請求の範囲

1. シリコン基板上に熱酸化法または熱酸窒化法によりシリコン酸化膜またはシリコン酸窒化膜からなる第1の膜を形成する工程と、
- 5 テトラクロロシランガスをを用いて所定の温度で処理して該第1の膜上にテトラクロロシラン単分子層1層からなる第2の膜を形成する工程と、
- 該第2の膜を形成する工程と実質的に同一の所定の温度でアンモニアガスをを用いて該第2の膜を窒化処理して窒化ケイ素単分子層1層からなる第3の膜を形成
- 10 する工程とを有し、
- 該第2の膜を形成する工程および該第3の膜を形成する工程を所定回数繰り返して所定の膜厚の窒化ケイ素膜を形成することを特徴とする半導体装置の製造方法。
2. 前記第2の膜を形成する工程および前記第3の膜を形成する工程において、所定の温度は375～650℃の範囲内であり、処理圧力は10～100kPaであることを特徴とするクレーム1記載の半導体装置の製造方法。
- 15 3. 前記第2の膜を形成する工程において、流量100～300sccmのテトラクロロシランガスをを用いて1～20minの時間処理することを特徴とするクレーム1記載の半導体装置の製造方法。
- 20 4. 前記第3の膜を形成する工程において、流量1000～3000sccmのアンモニアガスをを用いて1～10minの時間処理することを特徴とするクレーム1記載の半導体装置の製造方法。
5. 前記第2の膜を形成する工程および前記第3の膜を形成する工程を3～20回繰り返すことを特徴とするクレーム1記載の半導体装置の製造方法。
- 25 6. 前記第2の膜を形成する工程および前記第3の膜を形成する工程において、所定の温度は375～650℃の範囲内であり、処理圧力は10～100kPaであり、
- 該第2の膜を形成する工程において、流量100～300sccmのテトラクロロシランガスをを用いて1～20minの時間処理し、

該 3 の膜を形成する工程において、流量 1000 ~ 3000 sccm のアンモニアガスを用いて 1 ~ 10 min の時間処理し、

該第 2 の膜を形成する工程および該第 3 の膜を形成する工程を 3 ~ 20 回繰り返すことを特徴とするクレイム 1 記載の半導体装置の製造方法。

- 5 7. 前記所定の膜厚の窒化ケイ素膜を形成した後に、さらに、オゾンガス雰囲気下でアニーリングする工程を有することを特徴とするクレイム 1 記載の半導体装置の製造方法。

8. シリコン基板上に熱酸化法または熱酸窒化法によりシリコン酸化膜またはシリコン酸窒化膜からなる第 1 の膜を形成する工程と、

- 10 テトラクロロシランガスを用いて所定の温度で処理して該第 1 の膜上にテトラクロロシラン単分子層 1 層からなる第 2 の膜を形成する工程と、

該第 2 の膜を形成する工程と実質的に同一の所定の温度でアンモニアガスを用いて該第 2 の膜を窒化処理して窒化ケイ素単分子層 1 層からなる第 3 の膜を形成する工程と、

- 15 CVD 法により該第 3 の膜上にシリコン窒化膜からなる第 4 の膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

9. シリコン基板上に熱酸化法または熱酸窒化法によりシリコン酸化膜またはシリコン酸窒化膜からなる第 1 の膜を形成する工程と、

- 20 テトラクロロシランガスを用いて所定の温度で処理して該第 1 の膜上にテトラクロロシラン単分子層 1 層からなる第 2 の膜を形成する工程と、

該第 2 の膜を形成する工程と実質的に同一の所定の温度でアンモニアガスを用いて該第 2 の膜を窒化処理して窒化ケイ素単分子層 1 層からなる第 3 の膜を形成する工程と、

オゾンガス雰囲気下でアニーリングする工程とを有し、

- 25 該第 2 の膜を形成する工程、該第 3 の膜を形成する工程および該アニーリングする工程を所定回数繰り返して所定の膜厚の窒化ケイ素膜を形成することを特徴とする半導体装置の製造方法。

FIG. 1

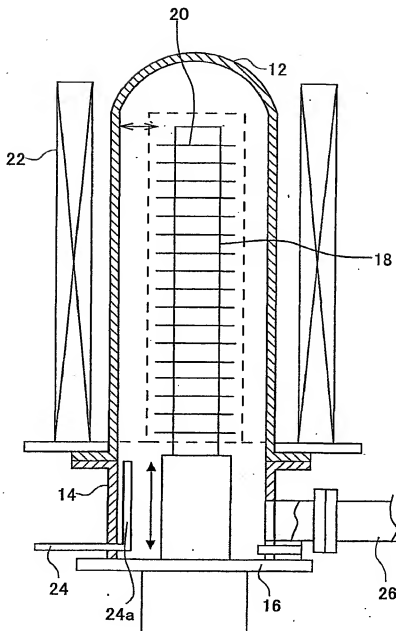
10

FIG.2

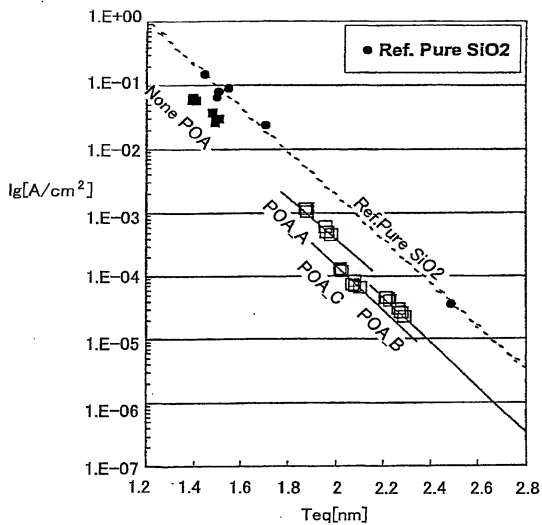
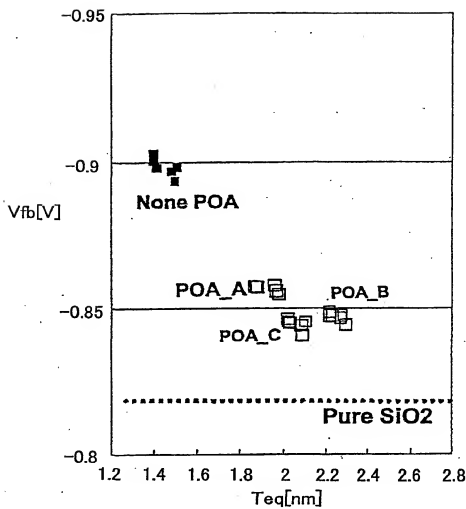


FIG.3



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/05386

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H01L21/318, C23C16/30

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L21/318, C23C16/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2002

Kokai Jitsuyo Shinan Koho 1971-2002 Jitsuyo Shinan Toroku Koho 1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 15390 A (Oy Lohja AB), 17 September, 1980 (17.09.80), Full text & US 4389973 A & JP 55-130896 A & KR 8601049 B	1-9
A	EP 259777 A (Research Development Corporation of Japan), 16 March, 1988 (16.03.88), Full text & JP 63-064993 A & US 4834831 A	1-9
A	JP 9-050996 A (ULVAC Japan Ltd.), 18 February, 1997 (18.02.97), Full text (Family: none)	1-9

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
---	--

Date of the actual completion of the international search
20 August, 2002 (20.08.02)Date of mailing of the international search report
03 September, 2002 (03.09.02)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

Form PCT/ISA/210 (second sheet) (July 1998)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/05386

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
E, A	US 2001/0007244 A1 (Tokyo Electron Ltd.), 12 July, 2001 (12.07.01), Full text & JP 2001-254181 A	1-9
E, A	US 2002/0024118 A1 (Fujitsu Ltd.), 28 February, 2002 (28.02.02), Full text & JP 2002-076308 A	1-9

Form PCT/ISA/210 (continuation of second sheet) (July 1998)

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁷ H01L 21/318, C23C 16/30

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁷ H01L 21/318, C23C 16/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2002年
 日本国登録実用新案公報 1994-2002年
 日本国実用新案登録公報 1996-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	EP 15390 A(Oy Lohja AB)1980.09.17, 全文 & US 4389973 A & JP 55-130896 A & KR 8601049 B	1-9
A	EP 259777 A(Research Development Corporation of Japan)1988.03.16, 全文 & JP 63-064993 A & US 4834831 A	1-9
A	JP 9-050996 A(日本真空技術株式会社)1997.02.18, 全文(ファミリーなし)	1-9
E, A	US 2001/0007244 A1(TOKYO ELECTRON LTD)2001.07.12, 全文 & JP 2	1-9

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリ

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって目明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

20.08.02

国際調査報告の発送日

03.09.02

国際調査機関の名称及び先

日本国特許庁 (ISA/JP)
 郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

加藤 浩一

4R

8617

電話番号 03-3581-1101 内線 3469

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
E、 A	001-254181 A US 2002/0024118 A1 (FUJITSU LTD) 2002, 02. 28, 全文 & JP 2002-076 308 A	1 - 9